

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-015620

(43)Date of publication of application : 17.01.1995

(51)Int.Cl.

H04N 5/06

(21)Application number : 05-184497

(71)Applicant : CLARION CO LTD

(22)Date of filing : 28.06.1993

(72)Inventor : YASUI SATOSHI

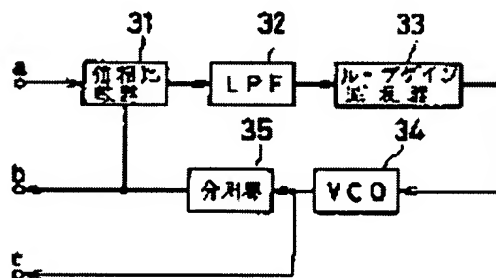
(54) HORIZONTAL SYNCHRONIZING CIRCUIT

(57)Abstract:

PURPOSE: To minimize the horizontal synchronizing jitters that are caused in a TV mobile reception state by reducing the loop gain especially the DC loop gain of a PLL circuit by a loop gain attenuating means.

CONSTITUTION: This horizontal synchronizing circuit consists of a phase comparator 31, a low-pass filter (LPF) 32, a loop gain attenuator 33, a voltage control oscillator(VCO) 34, and a divider 35. The pulse (horizontal synchronizing signal) generated by a pulse generating circuit is applied to a terminal (a). A terminal (c) is connected to a timing generating circuit. To reduce the loop gain especially the DC loop gain is effective to reduce the image distortions that are caused by the horizontal disturbance in a TV mobile reception state.

Therefore the DC loop is reduced by the attenuator 33. Thus it is possible to improve the visual recognizing performance of a TV mobile reception screen by the reduction of the image distortions and also to prevent the malfunctions of a diver by the stabilization of a diver control synchronizing circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

BEST AVAILABLE COPY

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-15620

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl.⁶

H 0 4 N 5/06

識別記号

Z

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21) 出願番号 特願平5-184497

(22) 出願日 平成5年(1993)6月28日

(71) 出願人 000001487

クラリオン株式会社

東京都文京区白山5丁目35番2号

(72) 発明者 安井 聡

東京都文京区白山5丁目35番2号 クラリ
オン株式会社内

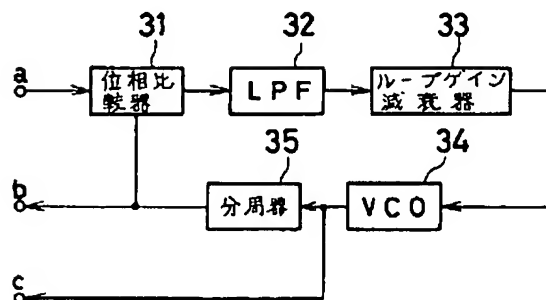
(74) 代理人 弁理士 永田 武三郎

(54) 【発明の名称】 水平同期回路

(57) 【要約】

【目的】 TV移動受信時等において生じる水平同期のジッタを最小限に抑えるための水平同期回路を提供することである。

【構成】 水平同期信号が入力されるPLL回路において、LPF 32とVCO 34との間に、ループゲイン減衰器 33を挿入する。この減衰器 33によりPLL回路のDCループゲインを下げて、水平同期の乱れにより生ずる画像歪みを低減させる。



1

2

【特許請求の範囲】

【請求項1】 位相比較器と、ローパスフィルタと、電圧制御型発振器と、分周器とを有し、映像信号より分離した水平同期信号と分周器の出力信号とを上記位相比較器に入力するようになっているPLL回路を備えた水平同期回路において、

前記ローパスフィルタと電圧制御型発振器との間に、ループゲイン減衰手段を挿入したことを特徴とする水平同期回路。

【請求項2】 前記PLL回路のロック検出手段と、該ロック検出手段の出力に応じて前記ループゲイン減衰手段の減衰率を切換えるループゲイン切替手段と、を備えたことを特徴とする請求項1に記載の水平同期回路。

【請求項3】 前記ループゲイン減衰手段は抵抗とオペアンプとから成ることを特徴とする請求項1に記載の水平同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はテレビジョン受像機の水平同期回路に関する。

【0002】

【従来の技術】 図4は従来の一般的なテレビジョン受像機の水平同期回路を示す。図4において、入力端子1からの受信映像検波信号を同期分離回路2に加え、そこで、同期信号を分離する。同期分離回路2で分離された水平同期信号と、後述する水平ドライブ回路5からフィードバックされた信号（一般的には鋸波信号）とにより、水平AFC（自動周波数制御）回路3において、水平発振回路4の制御電圧を作る。この制御電圧により水平発振回路4の発振周波数を制御する。水平発振回路4からは、水平発振回路4で発生したクロックを分周した f_H （ f_H は1水平走査期間）周期のパルスを出し、水平ドライブ回路5に送る。水平ドライブ回路5では、水平偏向コイル6をドライブするために必要な波形を作る。ただし、水平ドライブ回路5は、AFC回路3にフィードバックする鋸波信号を作るための積分回路を含んでいる。

【0003】 図4において、受信映像検波信号にゴーストやノイズがなく、シンクチップクランプされた状態では、各部の波形は図5のようになる。すなわち、図5の（a）は受信映像信号の波形図、（b）は同期分離回路2からの水平同期信号の波形図、（c）は水平発振回路4からの所定周期のパルスの波形図、（d）は水平ドライブ回路5の水平ドライブパルスの波形図である。一方、受信映像信号にゴーストやノイズが含まれると、図5（a）～（d）の波形は図7（a）～（d）の波形となる。

【0004】 図5の状態では、（d）の水平ドライブパルスの位相は（a）および（b）の水平同期パルスの位相と一致しており、受像機では、図8（b）に示すよう

に、画像の歪みのない水平方向に安定した画像が得られるが、図7の状態では、（d）の位相は、（a）および（b）の水平同期信号の位相とずれを生じ、図8（a）のような画像の歪みを生ずる。

【0005】 そこで本発明者は、先にこのような受信電界強度レベルの低下やゴーストやノイズ等の混入による画像歪みを補正し、受信状態の悪条件下でも歪みのない安定した再生画面を得ることができるテレビジョン受像機の水平同期回路を、特願平2-199705号（特開平4-84567号）で提案した。

【0006】 従来の受像機の前記した水平AFC回路もPLL回路の一種であるが、特に水平AFC回路のループゲインは非常に高く設定されており、入力信号（図2中の同期分離回路2から出力される分離された水平同期信号）に対する追従性はよいが、このことはかえって逆にノイズに対する悪影響を及ぼす。これを解決するため前記水平同期回路では上記水平AFC回路とは別にPLL回路を付加し、ノイズに対する安定性を向上させるようにしている。図6は前記テレビジョン受像機の水平同期回路の構成図で、7はパルス発生回路、8はコンパレータ、9はループフィルタ、10は電圧制御発振回路（VCO）、11はタイミング発生回路である。

【0007】 図4と同じ番号のものは同じ構成のものである。水平発振回路4から出力された周期 f_H のパルスをパルス発生回路7に入力する。パルス発生回路7からは図7（d）に示す波形のパルスを出力する。一方、タイミングパルス発生回路11では、図7（d'）に示す波形のパルスが作られる。

【0008】 図7（d）と（d'）に示す波形のパルスをコンパレータ8に入力し、それらを比較してループフィルタ9に出力する。ループフィルタ9の出力電圧は、図7（d）と（d'）のパルスの位相差に応じて変化し、電圧制御発振回路10に入力される。この電圧制御発振回路10では、この位相差に応じた制御電圧により発振周波数が変化する。発振回路10の出力は $4f_{sc}$ （14.318MHz）のクロックであり、このクロックを基に、タイミング回路11で水平および垂直同期のパルスを作り、垂直同期の信号を垂直同期回路へ、水平同期のパルスを水平ドライブ回路5へ送る。このようにして作られた水平ドライブパルスは図7（e）のようになり、従来方式の水平ドライブパルス（図7（d）に相当）に比べ安定した水平同期信号に対する位相ずれが補正され、図8（b）のような歪みのない画像が得られる。

【0009】 なお、図に示す例では、水平発振回路4とコンパレータ8との間にパルス発生回路7を設け、図7（c）のパルスを図7（d）に変換させた場合を示したが、直接、図7（c）のパルスをコンパレータ8に入力することも可能である。この場合、タイミング発生回路11からコンパレータ8に入力する波形も図7（c）と

同様、デューティ比50%としなければならない。

【0010】

【発明が解決しようとする課題】さて、一般にPLL回路の安定性能と定常特性は相反する関係にあり、ロックアップタイムを速くしようとすると雑音特性が広がり定常時の特性が劣化する。これを改善するために従来は図9に示すような「2モードPLL」と呼ばれる方法が用いられていた。同図において、20は位相比較器、21は直交位相検波器、22および23は搬送波除去LPF（ローパスフィルタ）、24は直流増幅器、25はモードスイッチ、26は2モードループフィルタ、27はVCO（電圧制御型発振器）、28は -90° 移相回路である。

【0011】上述した2モードPLL方式の回路は、モードスイッチ25によって2モードフィルタ26の時定数を切替えており、その周波数特性は図10に示すようになる。しかるにこの方式は弱電界地域などの家庭用TV受信機には有効であるが、移動TV受信機としてはまだ不十分である。車載用テレビ受信機においては走行時の移動受信に際し、ゴーストなどのノイズの発生位置や頻度の時間的変化が激しいため、特にD/U比が大幅に低下した時は画像乱れが著しくなる欠点がある。このような位相誤差による画像歪みを軽減する方法として前記特願平2-19970号の方法を提案した訳であるが、この方法では車両停止時などの固定受信では画像歪みを軽減する効果があるが、走行中は画像歪みは軽減できても、図8(a)に示すような画面全体の水平方向のふらつき（フラッター）が生じてしまうことがある。

【0012】このため本発明者は、更に、特願平2-324590号（特開平4-192885号）において、ループゲインの異なる2つのPLL回路を用いた水平同期回路を提案しているが、回路構成が複雑かつ大規模となってしまう実用的でなく、この点で未だ改良の余地がある。

【0013】本発明の目的はテレビ移動受信時に生じる水平同期のジッタを最小限に抑え、更には受信チャンネル切替時などにおいてロックがはずれた場合のロック引き込み時間を短縮することを可能とした水平同期回路を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明は、位相比較器と、ローパスフィルタと、電圧制御型発振器と、分周器とを有し、映像信号より分離した水平同期信号と分周器の出力信号とを上記位相比較器に入力するようになっているPLL回路を備えた水平同期回路において、前記ローパスフィルタと電圧制御型発振器との間に、ループゲイン減衰手段を挿入したことを要旨とする。

【0015】なお、受信局切替などによりPLL回路が入力に非同期になった時のロックアップタイム（引き込

み時間）短縮のためには、ロック検出手段およびループゲイン切替手段を設けるのが好適である。

【0016】

【作用】TV移動受信時には前述した理由で水平同期の乱れにより画像歪みを生じるが、前記ループゲイン減衰手段によりPLL回路のループゲイン、特にDCループゲインを下げることによって上記画像歪みを低減することができる。

【0017】

【実施例】以下図面に示す本発明の実施例を説明する。図1は本発明の水平同期回路に使用されるPLL回路の一実施例である。同図において、31は位相比較器、32はローパスフィルタ（LPF）、33はループゲイン減衰器、34は電圧制御型発振器（VCO）、35は分周器である。端子aには前記パルス発生回路7からのパルスd（水平同期信号）が印加され、また端子cは前記タイミング発生回路11に接続される。

【0018】本発明者の究明した所によれば、TV移動受信時に水平同期の乱れにより生じる画像歪みを低減するにはPLL回路のループゲイン、特にDCループゲインを下げるのが効果的であるのが判明している。そのため図1の実施例では減衰器33によりDCループゲインを低下させている。前記した従来の2モードPLL方式の回路では2モードループフィルタ26のコンデンサcの値を大きくしない限りDCループゲインを下げるできない。しかしコンデンサcの値を大きくし過ぎるとPLLのループ特性が不安定になりやすく、従って2モードPLL方式ではTV移動受信時に生じる画像歪みを低減することができない。

【0019】図2は本発明の他の実施例で、更に、受信チャンネル切替時などロックがはずれた場合の引き込み時間を短縮するため、ロック検出器36、ループゲイン切替器37が設けられている。ロック検出器36としては、例えば、フリップフロップFFが用いられ、切替器37としてはスイッチSWが用いられる。また減衰器33としては、例えば、オペアンプ33a、基準電源33b、抵抗 R_1 、 R_2 、 R_3 で構成され、抵抗 R_3 の両端にはスイッチSWが接続されている。

【0020】図2において端子aに入力された水平同期信号をクロック、分周器35の出力をデータとすれば、ロック検出器36はPLL回路が入力にロックしているか否かの判定を行うことができる。ロック検出器36の出力（ハイまたはローの2値出力）によりループゲイン切替器37のスイッチSWはオープンまたはショートとなる。

【0021】ここで、 $R_1 = R_2 + R_3$ ； $R_2 < R_3$ とすれば、減衰器33の入力と出力との比はスイッチSWがオープンするとき1:1、ショートするとき1: α （ $R_2/R_1 = \alpha$ ）となり、 α の値を小さくすればDCループゲインを下げることができる。図3の実線はスイッチS

5

Wがオープンするとき、破線はショートするときのPLL回路の周波数特性を示す。以上により図2のPLL回路はアンロック時には図3の実線の特性、ロック時には図3の破線の特性をとり、ロック時の安定性能に優れ且つ引き込みの速いTV移動受信に適した水平同期回路が実現される。

【0022】

【発明の効果】以上説明したように本発明によれば、画像歪みの低減によるTV移動受信画面の視認性向上を達成でき、またダイバー制御用同期回路の安定化によるダイバー誤動作の防止を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明の他の実施例を示すブロック図である。

【図3】図2の実施例の周波数特性図である。

【図4】従来の一般的なテレビジョン受像機の水平同期回路を示すブロック図である。

6

【図5】安定した受信状態の図4の各部の波形図である。

【図6】改良された水平同期回路の一例を示すブロック図である。

【図7】受信映像検波信号にノイズやゴーストが混入した場合の図4および図6の各部の波形図である。

【図8】画像の歪みを示す説明図である。

【図9】従来の2モードPLL方式の回路図である。

【図10】図9の方式の周波数特性図である。

【符号の説明】

31 位相比較器

32 LPF

33 減衰器

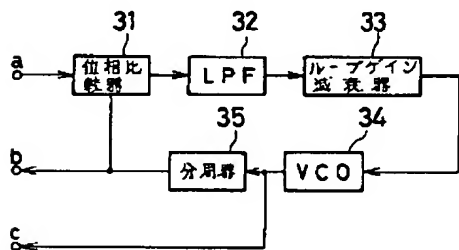
34 VCO

35 分周器

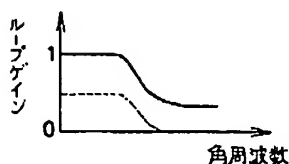
36 ロック検出器

37 ループゲイン切替器

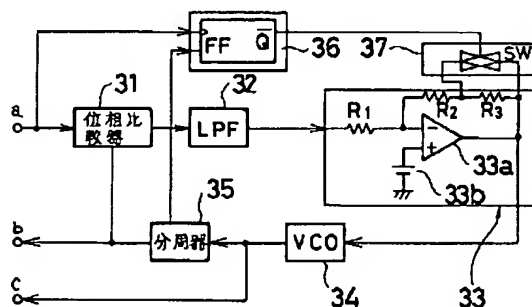
【図1】



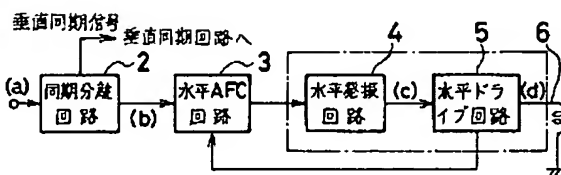
【図3】



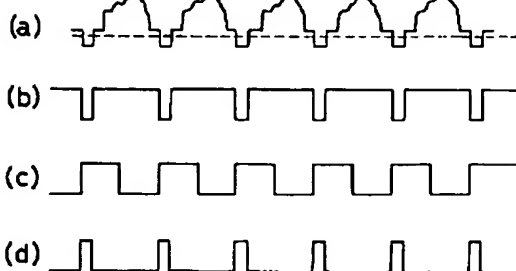
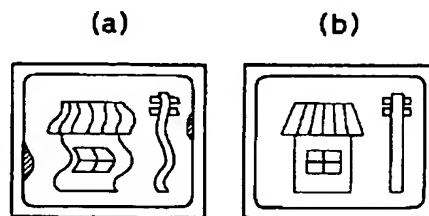
【図2】



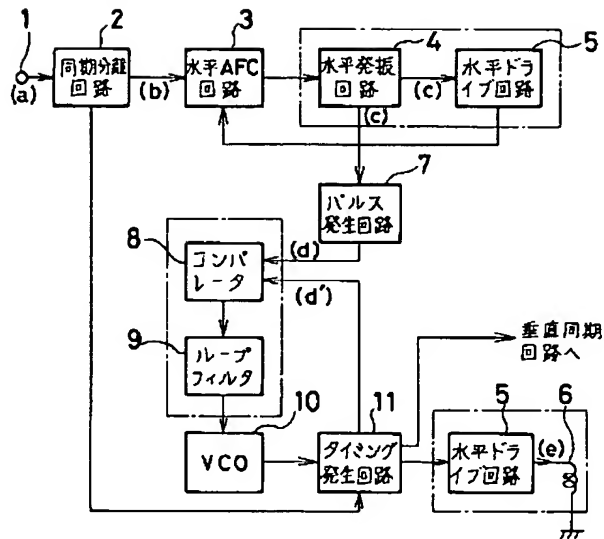
【図4】



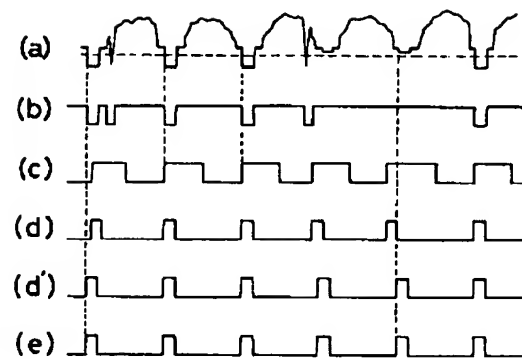
【図8】



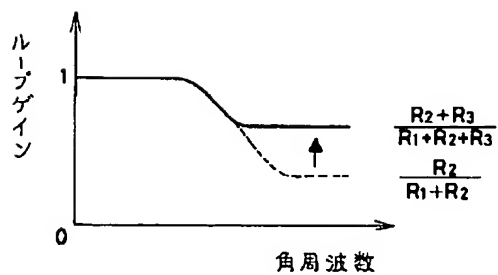
【図6】



【図7】



【図10】



【図9】

